

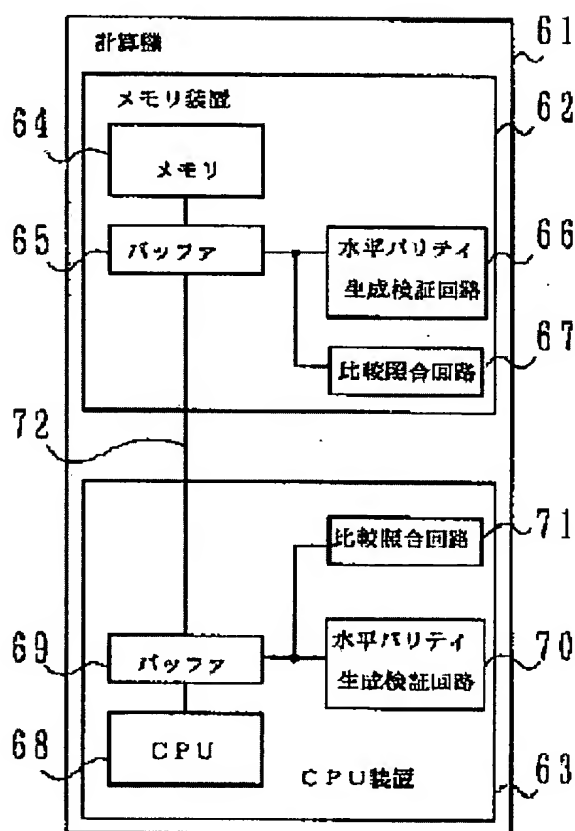
DATA TRANSFER METHOD

Patent number: JP5143472
Publication date: 1993-06-11
Inventor: YAMANE MICHIIRO
Applicant: NIPPON TELEGR & TELEPH CORP
Classification:
 - international: G06F12/16; G06F11/10; G06F12/16
 - european:
Application number: JP19910301739 19911118
Priority number(s):

Abstract of JP5143472

PURPOSE: To provide a data transfer method of high precision without changing a conventional error detection code by comparing the parity obtained from reception data, to which the parity is added, with a retransmitted parity by a transmission destination device to discriminate whether they coincide with each other or not.

CONSTITUTION: At the time of transferring data between devices, data to which the parity is added is first transferred to the transmission destination device, and only the parity is next transferred to the transmission destination device again. The transmission destination device compares the parity, which is obtained from reception data to which the parity is added, with the retransmitted parity. If they coincide with each other, the transmission destination device judges that transfer data is correctly transferred; but otherwise, the device judges that transfer data or/and the retransmitted parity are erroneous. For example, in a computer system, a memory device 62 compares and collates the horizontal parity transferred from a CPU device 63 with the horizontal parity generated from reception data by comparing and collating circuit 67, and correct transfer is discriminated in the case of coincidence.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-143472

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl.⁵

G 0 6 F 12/16
11/10
12/16

識別記号

3 2 0 B 7629-5B
3 2 0 D 7313-5B
3 1 0 G 7629-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 (全 13 頁)

(21) 出願番号 特願平3-301739

(22) 出願日 平成3年(1991)11月18日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 山根 道広

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 磯村 雅俊

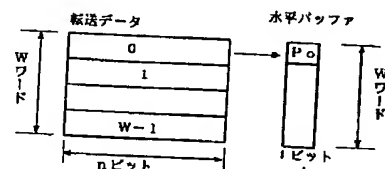
(54) 【発明の名称】 データ転送方法

(57) 【要約】

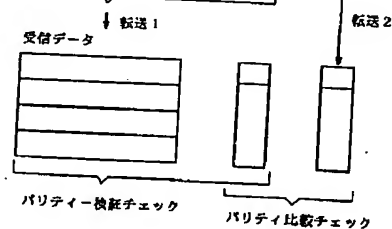
【目的】 従来広く用いられている誤り検出符号を変更することなく、高信頼性を有するデータ転送方法を提供すること。

【構成】 データを転送する装置間において、データを送信する際に、始めにパリティを付加したデータを送信先装置に転送し、続いて、パリティだけを再度当該送信装置に転送し、送信先装置は、前記パリティが付加された受信データから得られるパリティと再送されたパリティとを比較し、これらが一致すれば当該転送データが正しく転送されたと判断し、一致しなければ当該転送データあるいは再送したパリティのいずれか一方または両方に誤りが生じたと判定することを特徴とするデータ転送方法。

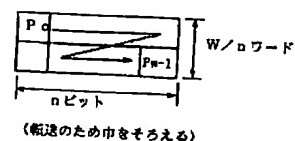
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 データを転送する装置間において、データを送信する際に、始めにパリティを付加したデータを送信先装置に転送し、続いて、パリティだけを再度当該送信装置に転送し、送信先装置は、前記パリティが付加された受信データから得られるパリティと再送されたパリティとを比較し、これらが一致すれば当該転送データが正しく転送されたと判断し、一致しなければ当該転送データあるいは再送したパリティのいずれか一方または両方に誤りが生じたと判定することを特徴とするデータ転送方法。

【請求項2】 前記確認のために再送するパリティとして、水平パリティを用いることを特徴とする請求項1記載のデータ転送方法。

【請求項3】 前記確認のために再送するパリティとして、垂直パリティを用いることを特徴とする請求項1記載のデータ転送方法。

【請求項4】 前記確認のために再送するパリティとして、水平パリティと垂直パリティを用いることを特徴とする請求項1記載のデータ転送方法。

【請求項5】 前記確認のために再送する垂直パリティとして、誤り検出訂正符号を用いることを特徴とする請求項3または4記載のデータ転送方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ転送方法に関し、特に計算機等のCPU装置とメモリ装置間での高信頼性を有するデータ転送方法に関する。

【0002】

【従来の技術】 従来から、高信頼性を有する計算機を実現するために、CPU装置やメモリ装置等を多重化する方式が多数提案されている。図6は、その一例を示すもので、メモリ装置とCPU装置を二重化した計算機を示すものである。図において、1は計算機、2と3はそれぞれ二重化されたメモリ装置、4と5はそれぞれ二重化されたCPU装置、6と7は二重化されたシステムバスを示している。図に示す如く、計算機1はメモリ装置、CPU装置とシステムバスがそれぞれ二重化されているので、メモリ装置、CPU装置とシステムバスそれぞれにおける一重故障に対しても、正常なCPU装置、メモリ装置およびシステムバスにより正常系を構成することにより、計算を連続して行うことができる。上述の如き従来の二重化構成を有する計算機において、二重化されたCPU装置の一方が運転中、他方が待機中という運転方式をとるデュプレックス方式での計算機の動作を以下に説明する。

【0003】 図6に示す計算機1において、2個のCPU装置のうち、CPU装置4は処理を行い、他方のCPU装置5は待機している。CPU装置4で処理した結果はシステムバス6を介して二重化されたメモリ装置2、

メモリ装置3に同時に書き込まれる。この結果、以下に示す如く、故障の発生に対して処理を引き継ぐことが可能になる。

(1) CPU装置の故障：CPU装置4内の故障検出回路(図示されていない)により、CPU装置4に故障が発生したことが検出された場合、CPU装置4は自動的に処理を停止すると同時にCPU装置5に起動信号を送出する。この起動信号を受けて、CPU装置5は、メモリ装置3に書き込まれている処理中のデータを基に、CPU装置4に替って処理を引き継ぐ。CPU装置内の故障検出回路および故障検出方法の例としては、例えば、CPU装置内の演算装置を部分的あるいは全面的に二重化して演算装置を相互に監視させる方法、あるいは、タイマによる処理時間の監視等、種々の故障検出手段が提案され、また、実用化されている。これらの技術は、計算機の故障による運用の停止の許されない電話交換機の制御装置や、オンラインの予約サービス用計算機において、既に広く利用されているものなので、詳細な説明は省略する。例えば、猪瀬著「コンピュータ・システムの高信頼化」(情報処理学会刊、昭和52年2月)を参照することができる。

【0004】 (2) メモリ装置の故障：メモリ装置2内の故障検出回路(図示されていない)により、メモリ装置2内にビットエラー等の故障が発生したことが検出された場合、メモリ装置2はCPU装置4にメモリエラーが発生したことを知らせる。このエラー信号を受けて、CPU装置4は、メモリ装置2への書き込みを停止するが、メモリ装置は二重化されており、他方のメモリ装置3が正常に動作するので、処理の中断は発生しない。上述の如く、CPU装置とメモリ装置を二重化した従来の計算機では、計算機を構成する各装置に一重故障が発生しても、処理の中断が発生しないという利点を有する。しかし、二重化したメモリ装置に同時に同一データを書き込む場合には、二重化したメモリに誤ったデータを書き込む可能性がある。例えば、CPU装置からシステムバスを経由してメモリ装置に至るデータの転送路上で、何等かの故障によりデータ誤りが発生し、そのデータ誤りを検出できなかった場合には、二重化されたメモリ装置の両方に誤ったデータが書き込まれることになる。

【0005】 データの転送路上でのデータ誤りを検出する手段としては、データにパリティを付加する方法が採用されている。パリティによるデータ誤りの検出範囲は、基本的にはデータの一重誤りである。すなわち、パリティを用いる場合には、パリティビットを含めたデータ中の1または0の総和の奇偶が変化しないようなデータ誤りが生じた場合には、誤りの検出が不可能である。このことから、パリティによるデータ誤りの検出には限界のあることがわかる。データ誤りの要因が固定的な故障であれば、メモリ装置から読み出したデータだけでなく、命令にもビット誤りが生ずるため、例えば、パリティ

ィによるデータ誤りを検出できなくとも、命令誤りの形で検出される場合もある。しかし、データ誤りの原因がノイズ等の一時的な誤りである場合には、誤ったデータを書き込んだことを検出できずに、計算機の処理が進んでしまうことがあり得る。二重化したメモリ装置に誤ったデータを書き込む危険性を回避するために、従来用いられている書き込み方法を、次に説明する。この書き込み方法は、メモリ装置へのデータの書き込みを行うメモリ装置毎に時間をずらせて行い、書き込む毎に正常に書き込みができたか否かを確認するという方法である。ノイズ等によるデータへの影響は、数ナノ秒〜数十ナノ秒であるので、データ転送をメモリ装置毎に分けて行うことにより、二重化した少なくとも一方のメモリ装置には、正しい結果が書き込める。この結果、一時的なノイズ等によるデータ誤りを同時に受けないようにすることができる。

【0006】

【発明が解決しようとする課題】しかし、上述の方法では、データの転送と確認を2度行わなければならない、データ転送時間が長くなるため、計算機の利用効率が低下するという問題がある。以上述べた如く、パリティの誤り検出能力には限界があるため、二重化したメモリ装置を備えた高信頼計算機構成では、二重化したメモリ装置に同時に二重書きする場合には、誤ったデータを、二重化したメモリ装置の両方に書き込んでしまう可能性がある。また、二重化したメモリ装置毎にデータを転送する場合にはデータ転送時間が長時間化し、計算機の使用効率が低下するという問題がある。また、この他に、三重化等、メモリ装置を更に多重化して高信頼化を目送した構成もあるが、データ書き込み時等におけるデータ誤りやデータ転送効率に関しては、上と同様の問題があるので、説明は省略する。本発明は上記事情に鑑みてなされたもので、その目的とするところは、従来の技術における上述の如き問題を解消し、従来広く用いられている誤り検出符号を変更することなく、高信頼性を有するデータ転送方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の上記目的は、データを転送する装置間において、データを送信する際に、始めにパリティを付加したデータを送信先装置に転送し、続いて、パリティだけを再度当該送信装置に転送し、送信先装置は、前記パリティが付加された受信データから得られるパリティと再送されたパリティとを比較し、これらが一致すれば当該転送データが正しく転送されたと判断し、一致しなければ当該転送データあるいは再送したパリティのいずれか一方または両方に誤りが生じたと判定することを特徴とするデータ転送方法によって達成される。

【0008】

【作用】本発明に係るデータ転送方法においては、計算

機を構成する装置間のデータ転送の高信頼化を図るために、誤り検出符号(パリティ)付きのデータを転送した後、誤り検出符号のみを再度転送することにより、データ転送時に受けたノイズの影響を受けていない誤り検出符号を誤りの検出に用いることにより、誤り検出符号の能力を向上させることなく、誤り検出符号の誤り検出能力を越えた誤りを検出できるようにしたものである。本発明に係る方法を、多重化したメモリ装置を備えた計算機に適用した場合には、例えば、データを書き込む場合には、多重化したメモリ装置にデータを同時に転送し書き込みを行い、その後、転送データから得られる誤り検出符号を多重化したメモリ装置毎に転送し、多重化したメモリ装置毎に受信した誤り検出符号と受信したデータから生成できる誤り検出符号を比較検証することにより、データが正しく転送できたか否かを判定することにより、データ転送効率を低下させずに、高信頼性を有するデータ転送を実現できる。

【0009】

【実施例】以下、本発明で用いる、水平パリティと垂直パリティについて説明した後、本発明の実施例を図面に基づいて詳細に説明する。図2は、本発明で用いる、水平パリティと垂直パリティを示す図である。CPU装置とメモリ装置間で転送されるデータは、一般に、図2に示す如く、複数ワードのデータから成るブロックデータである。図2において、ワード内のnビットから生成されるのが水平パリティ、また、各ワード内の第kビット目のmビットから生成されるのが垂直パリティである。水平パリティを生成検証するのが水平パリティ生成検証回路、垂直パリティを生成検証するのが垂直パリティ生成検証回路である。以下、第一の実施例を、図3に基づいて説明する。図3は、本発明の第一の実施例である計算機システムの構成を示す図である。図において、61は計算機、62はメモリ装置、63はCPU装置、64はメモリ装置62のメモリ、65はメモリ装置62のデータバッファ(以下、単に「バッファ」という)、66はメモリ装置62の水平パリティ生成検証回路、67はメモリ装置62の比較照合回路、68はCPU装置63のCPU、69はCPU装置63のバッファ、70はCPU装置63の水平パリティ生成検証回路、71はCPU装置63の比較照合回路、72はメモリ装置62とCPU装置63を結ぶシステムバスを示している。

【0010】以下、本実施例の動作を、図1に示す動作フロー図を用いて説明する。

(1) CPU装置63がメモリ装置62にデータを書き込む場合:

①書き込みデータのバッファへの転送

書き込みデータが、CPU68からバッファ69に一旦蓄積される。バッファ69にデータを蓄積するのに同期して、水平パリティ生成検証回路70を用いて水平パリティを生成し、これを転送データに付加してバッファ6

9に蓄積する(図1(a)参照)。

②データの転送

バッファ69への転送データの蓄積が終了すると、システムバス72を介して転送データをメモリ装置62に送出する。

③転送データの受信とパリティの検証

メモリ装置62は、受信データをバッファ65に取り込む。これに同期して水平パリティ生成検証回路66を用いて、受信データに付加されている水平パリティを検証して、誤りの有無を検出する(図1(b)参照)。

【0011】④水平パリティの転送

CPU装置63は、メモリ装置62へのデータの転送が終了すると、バッファ69に蓄積されている水平パリティを再度メモリ装置62へ転送する。バッファ69は、水平パリティの転送に際して、パリティをデータとして転送可能なように、ビット列を並べ替える操作を行う(図1(c)参照)。メモリ装置62は、CPU装置63から転送されてきた水平パリティと、受信データから生成した水平パリティとを、比較照合回路67で比較照合し、一致すれば正しく転送されたものと判定する(図1(b)参照)。メモリ装置62は、転送データが正しいと判定できた場合には、バッファ65からメモリ64にデータを転送し格納する。

(2)CPU装置63がメモリ装置62からデータを読み出す場合：この場合には、CPU装置63がメモリ装置62にデータを書き込む場合と同様の操作を行うので、ここでは説明を省略する。メモリ装置62のバッファ65は、CPU装置63のバッファ69と同様に、水平パリティの転送に際して、パリティビットをデータとして転送可能なようにビット列を並べ替える操作機能を備えている。

【0012】上記実施例によれば、転送したデータとパリティにおいて、データ部分にだけパリティの奇偶が変化しないような誤りが生じた場合以外は、転送時の誤りを検出することができる。そこで、転送したデータとパリティにおいて、データ部分にだけパリティの奇偶が変化しないような誤りが生じた場合にも対処することを可能とした、異なる種類のパリティを組み合わせる実施例を、以下に示す。図4は、本発明の第二の実施例を示す計算機システムの構成図である。第一の実施例と異なる点は、確認のために転送するパリティを水平パリティから垂直パリティに変更した点である。図において、81は計算機、82はメモリ装置、83はCPU装置、64はメモリ装置82のメモリ、65はメモリ装置82のバッファ、66はメモリ装置82の水平パリティ生成検証回路、67はメモリ装置82の比較照合回路、68はCPU装置83のCPU、69はCPU装置83のバッファ、70はCPU装置83の水平パリティ生成検証回路、71はCPU装置83の比較照合回路、72はメモリ装置82とCPU装置83を結ぶシステムバスを示し

ている。また、87はメモリ装置82の垂直パリティ生成検証回路、92はCPU装置83の垂直パリティ生成検証回路を示している。

【0013】本実施例の動作を、以下、図5に示す動作フロー図を用いて説明する。

(1)CPU装置83がメモリ装置82にデータを書き込む場合：

①書き込みデータのバッファへの転送

書き込みデータが、CPU68からバッファ69に一旦蓄積される。バッファ69にデータを蓄積するのに同期して、水平パリティ生成検証回路70を用いて水平パリティを生成し、これを転送データに付加してバッファ69に蓄積する(図5(a)参照)。

②データの転送

バッファ69への転送データの蓄積が終了すると、システムバス72を介して転送データをメモリ装置82に送出する。バッファ69からシステムバス72へデータを送出するのに同期して、垂直パリティ生成検証回路92は垂直パリティを生成し、バッファ69に蓄積する(図5(a)参照)。

③転送データの受信と水平パリティの検証

メモリ装置82は、受信データをバッファ65に取り込む。これに同期して水平パリティ生成検証回路66を用いて、受信データに付加されている水平パリティを検証して、誤りの有無を検出する(図5(b)参照)。同時に、垂直パリティ生成検証回路87を用いて、受信データから垂直パリティを生成して、バッファ65にデータとともに蓄積する。

【0014】④垂直パリティの転送

CPU装置83は、メモリ装置82への水平パリティを付加したデータの転送が終了すると、バッファ69に蓄積されている垂直パリティをメモリ装置82へ転送する(図5(c)参照)。メモリ装置82は、CPU装置83から転送されてきた垂直パリティと、受信データから生成した垂直パリティとを比較照合回路67を用いて比較照合し(図5(b)参照)、一致すれば正しく転送されたものと判定する。メモリ装置82は、転送データが正しいと判定できた場合には、バッファ65からメモリ64にデータを転送し格納する。

(2)CPU装置83がメモリ装置82からデータを読み出す場合：この場合には、CPU装置83がメモリ装置82にデータを書き込む場合と同様の操作を行うので、ここでは説明を省略する。上記実施例によれば、垂直パリティを再送するため、転送されたデータから生成された垂直パリティとの比較により、前述の如く、転送したデータとパリティにおいて、データ部分にだけパリティの奇偶が変化しないような誤りが生じた場合にも、転送時の誤りを検出することができる。

【0015】すなわち、データ部分にだけ直交した二つのパリティ、水平パリティと垂直パリティの両方に奇偶

が変化しないような誤りが生じる確率は極めて低く、誤り検出確率は非常に高くなる。このように、直交したパリティを用いることにより、非常に高信頼性の誤り検出が可能になる。以下に、高信頼化のために、メモリを多重化した計算機装置への本発明の実施例を示す。図7は、本発明の第三の実施例を示す構成図である。図において、21は計算機、22は第一のメモリ装置、23は第二のメモリ装置、24は第一のCPU装置、25は第二のCPU装置、26は第一のシステムバス、27は第二のシステムバスを示している。28は第一のメモリ装置22のメモリ、29は同メモリ装置のバッファ、30は同メモリ装置の水平パリティ生成検証回路、31は同メモリ装置の垂直パリティ生成検証回路、32は同メモリ装置の比較照合回路、33は同メモリ装置のシステムバス切り替え回路、34は第二のメモリ装置23のメモリ、35は同メモリ装置のバッファ、36は同メモリ装置の水平パリティ生成検証回路、37は同メモリ装置の垂直パリティ生成検証回路、38は同メモリ装置の比較照合回路、39は同メモリ装置のシステムバス切り替え回路を示している。

【0016】40は第一のCPU装置24のCPU、41は同CPU装置のバッファ、42は同CPU装置の水平パリティ生成検証回路、43は同CPU装置の垂直パリティ生成検証回路、44は同CPU装置の比較照合回路、45は同メモリ装置のシステムバス切り替え回路、46は第二のCPU装置25のCPU、47は同CPU装置のバッファ、48は同CPU装置の水平パリティ生成検証回路、49は同CPU装置の垂直パリティ生成検証回路、50は同CPU装置の比較照合回路、51は同メモリ装置のシステムバス切り替え回路を示している。水平パリティと垂直パリティについては、先に、図2を用いて説明した通り、CPU装置とメモリ装置間で転送されるデータは、一般に、複数ワードのデータから成るブロックデータである。図2において、ワード内のnビットから生成されるのが水平パリティ、また、各ワード内の第kビット目のmビットから生成されるのが垂直パリティである。水平パリティを生成検証するのが水平パリティ生成検証回路、垂直パリティを生成検証するのが垂直パリティ生成検証回路である。本実施例の動作を、以下、図8に示す動作フロー図を用いて説明する。

【0017】(1)第二のCPU装置24が第一のメモリ装置22と第二のメモリ装置23にデータを書き込む場合：メモリ装置にデータを書き込む場合には、第一のCPU装置24から第一のメモリ装置22と第二のメモリ装置23にデータを転送する。

①書き込みデータのバッファへの転送

書き込みデータが、CPU40からバッファ41に一旦蓄積される。バッファ41にデータを蓄積する間に、水平パリティ生成検証回路42を用いて水平パリティを生成し、これを転送データに付加してバッファ41に蓄積

する(図8(a)参照)。

②垂直パリティの付加とデータの転送

バッファ41への転送データの蓄積が終了すると、システムバス26を介して転送データを第一のメモリ装置22と第二のメモリ装置23に、同時に送出する。バッファ41からシステムバス26へデータを送出するのに同期して、垂直パリティ生成検証回路43は垂直パリティを生成し、データに付加して転送する(図8(a)参照)。

【0018】③転送データの受信と水平パリティの検証
第一のメモリ装置22と第二のメモリ装置23は、同時に同様の動作を行うので、ここでは、第一のメモリ装置22の動作のみを説明する。第一のメモリ装置22は、データの受信と同時に、水平パリティ生成検証回路30を用いて、受信データに付加されている水平パリティを検証して、誤りの有無を検出する(図8(b)参照)。また、転送されてきたデータをバッファ29に蓄積すると同時に、垂直パリティ生成検証回路31を用いて、受信データを基に垂直パリティを生成して、バッファ29にデータとともに蓄積する。

④第一のメモリ装置22への垂直パリティの転送

第一のCPU装置24は、第一のメモリ装置22と第二のメモリ装置23へのデータの転送が終了すると、バッファ41に蓄積されている垂直パリティを、まず、第一のメモリ装置22へ転送する(図8(c)参照)。第一のメモリ装置22は、第一のCPU装置24から転送されてきた垂直パリティと、データ受信時に垂直パリティ生成回路31を用いて生成し、バッファ29に蓄積しておいた垂直パリティとを、比較照合回路32を用いて比較照合し(図8(b)参照)、一致すれば正しく転送されたものと判定する。第一のメモリ装置22は、転送データが正しいと判定できた場合には、バッファ29からメモリ28にデータを転送し格納する。

【0019】⑤第二のメモリ装置23への垂直パリティの転送

第一のCPU装置24は、第一のメモリ装置22へ垂直パリティを転送し、データ転送が正常に終了したことを確認すると、第二のメモリ装置23へ垂直パリティを転送する(図8(d)参照)。第二のメモリ装置23は、第一のCPU装置24から転送されてきた垂直パリティを用いて、第一のメモリ装置22と同様に比較検証を行い、データ転送の正否を判定する(図8(d)参照)。

(2)第一のCPU装置24が第一のメモリ装置22と第二のメモリ装置23からデータを読み出す場合：メモリ装置からデータを読み出す場合には、第一のCPU装置24は、第一のメモリ装置22からデータを読み出し、読み出したデータに誤りがあった場合にのみ、第二のメモリ装置23からデータを読み出す。

①読み出しデータのバッファへの転送

読み出しデータは、メモリ28からバッファ29に一旦蓄積される。バッファ29にデータを蓄積する間に、水

平パリティ生成検証回路30を用いて水平パリティを生成し、これを転送データに付加してバッファ29に蓄積する(図8(a)参照)。

【0020】②垂直パリティの付加とデータの転送

バッファ29への読み出しデータの蓄積が終了すると、システムバス26を介して転送データを第一のCPU装置24に送出する。垂直パリティはバッファ29から第一のCPU装置24に向かって送出する際に、垂直パリティ生成検証回路31で生成し、データに付加して転送する(図8(a)参照)。

③読み出しデータの受信と水平パリティの検証

第一のCPU装置24は、データの受信と同時に水平パリティ生成回路42を用いて、受信データに付加されている水平パリティを検証して誤りの有無を検出する。(図8(b)参照)。もし、水平パリティ生成回路42で転送中のデータに誤りが検出された場合には、データ誤りの発生したことをCPU40に報告する。また、転送されてきたデータをバッファ41に蓄積すると同時に、垂直パリティ生成検証回路43を用いて転送されてきたデータを基に垂直パリティを生成し、バッファ41にデータと同様に蓄積する。

【0021】④第一のCPU装置24への垂直パリティの転送

第一のメモリ装置22は、第一のCPU装置24へのデータの転送が終了すると、バッファ29に蓄積されている垂直パリティを、第一のCPU装置24へ転送する(図8(c)参照)。第一のCPU装置24は、第一のメモリ装置22から転送されてきた垂直パリティと、データ受信時に垂直パリティ生成回路42を用いて生成し、バッファ41に蓄積しておいた垂直パリティとを、比較照合回路44を用いて比較照合し(図8(b)参照)、一致すれば正しく転送されたものと判定する。第一のCPU装置24は、転送データが正しいと判定できた場合には、バッファ41からCPU40にデータを読み込み処理を行う。上記実施例によれば、前述の実施例と同様に、垂直パリティを再送するため、転送されたデータから生成された垂直パリティとの比較により、転送時の誤りを検出することができる。以下、上記実施例と同様に、メモリを多重化した計算機装置への本発明の他の実施例を示す。

【0022】図9は、本発明の第四の実施例を示す構成図である。図7に示した第三の実施例と異なる点は、第三の実施例においては垂直パリティ生成検証回路を用いていたところを、誤り検出符号生成検出回路に変更されている点である。図において、52は第一のメモリ装置22の誤り検出符号生成検出回路、53は第二のメモリ装置23の誤り検出符号生成検出回路、54は第一のCPU装置24の誤り検出符号生成検出回路、55は第二のCPU装置25の誤り検出符号生成検出回路を示している。なお、この他の記号は、図7に示したと同様に用

いられている。本実施例におけるデータの転送動作は、第三の実施例と同様であるので説明は省略する(図10参照)。垂直パリティを用いていた第三の実施例と異なるのは、第三の実施例では誤りの検出のみが可能であったのに対して、本実施例においては誤り検出訂正符号を用いることにより、誤りの検出と同時に誤りの訂正が可能になっている点である。すなわち、訂正可能な誤りであれば、データに誤りが検出された場合にも、データ再送を必要としないので、前記実施例に示した装置よりも、更に効率的なデータ転送が可能となる。

【0023】上記各実施例によれば、転送量の多いデータを、一度だけ転送し、転送量の少ない検証符号だけを再度転送することにより、データ転送時間の長時間化を防ぎつつ、誤りを防止することが可能になるという効果が得られる。なお、メモリ装置が多重化されている場合には、データを一度だけ、一斉送信することにより、目的を達成することができる。更に、検証符号をメモリ毎に転送するので、パリティ転送中に発生する一時的なノイズ等の影響を受けることがなくなり、水平パリティだけでは検出不可能であったデータエラーも検出可能になる。また、誤り符号に、誤り検出訂正符号を用いることにより、転送データの修正も可能である。なお、上記各実施例はいずれも本発明の一例を示したものであり、本発明はこれらに限定されるべきものではないことは言うまでもない。例えば、垂直パリティは必ずしも奇偶パリティである必要はなく、必要に応じて1ビットエラー修正2ビットエラー検出符号の如く、誤り検出訂正符号を用いることも可能であるという如くである。

【0024】

【発明の効果】以上、詳細に説明した如く、本発明によれば、従来広く用いられている誤り検出符号を変更することなく、高信頼性を有するデータ転送方法を実現できるという顕著な効果を奏するものである。

【0025】

【図面の簡単な説明】

【図1】本発明の第一の実施例の動作を示すフロー図である。

【図2】水平パリティおよび垂直パリティを説明する図である。

【図3】本発明の第一の実施例である計算機システムの構成を示す図である。

【図4】本発明の第二の実施例である計算機システムの構成を示す図である。

【図5】本発明の第二の実施例の動作を示すフロー図である。

【図6】従来の高信頼性計算機システムの構成例を示す図である。

【図7】本発明の第三の実施例である計算機システムの構成を示す図である。

【図8】本発明の第三の実施例の動作を示すフロー図で

ある。

【図9】本発明の第四の実施例である計算機システムの構成を示す図である。

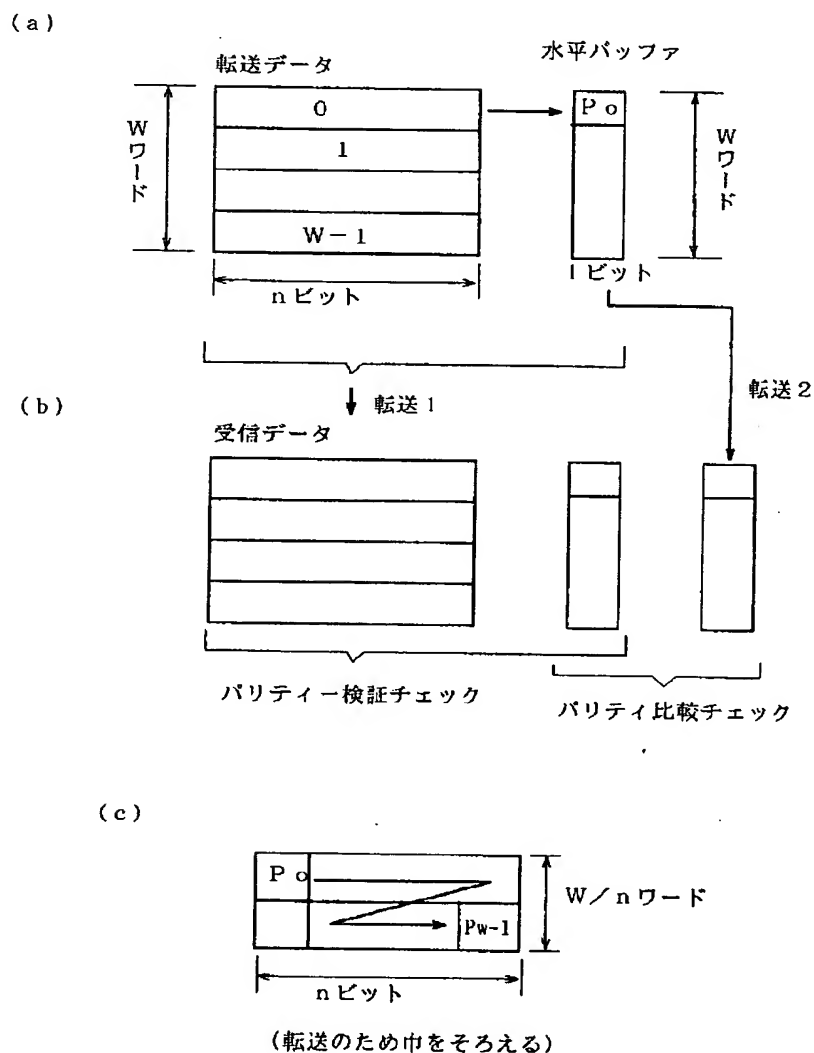
【図10】本発明の第四の実施例の動作を示すフロー図である。

【符号の説明】

21, 61, 81: 計算機、22, 23, 62, 82: メモリ装置、24, 25, 63, 83: CPU装置、26, 27, 72: システムバス、28, 34, 64: メ

モリ、29, 35, 41, 47, 65, 69: バッファ、30, 36, 42, 48, 66, 70: 水平パリティ生成検証回路、31, 37, 43, 49, 87, 92: 垂直パリティ生成検証回路、32, 38, 44, 50, 67, 71: 比較照合回路、33, 39, 45, 51: システムバス切り替え回路、40, 46, 68: CPU、52, 53, 54, 55: 誤り検出符号生成検証回路。

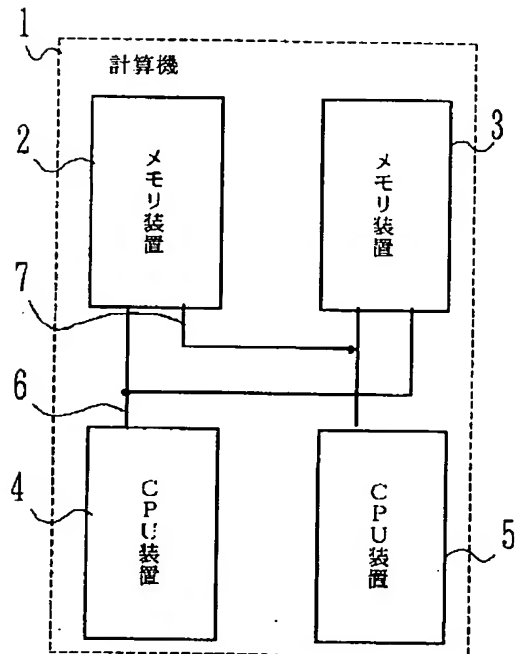
【図1】



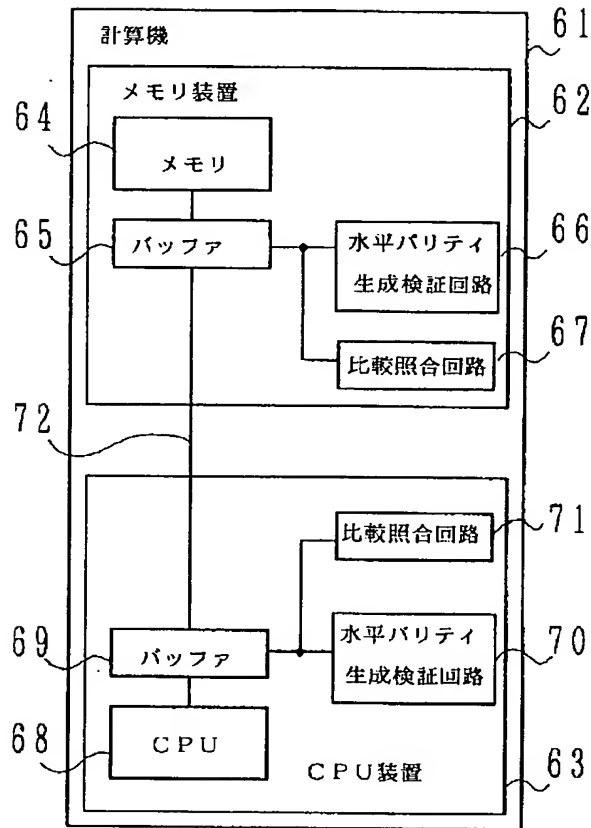
【図2】

	ビット 1	ビット 2	ビット 3	...	ビット k	...	ビット n	水平 パリティ ↓
ワード1								
ワード2								
ワード3								
ワードm								
垂直パリティ								

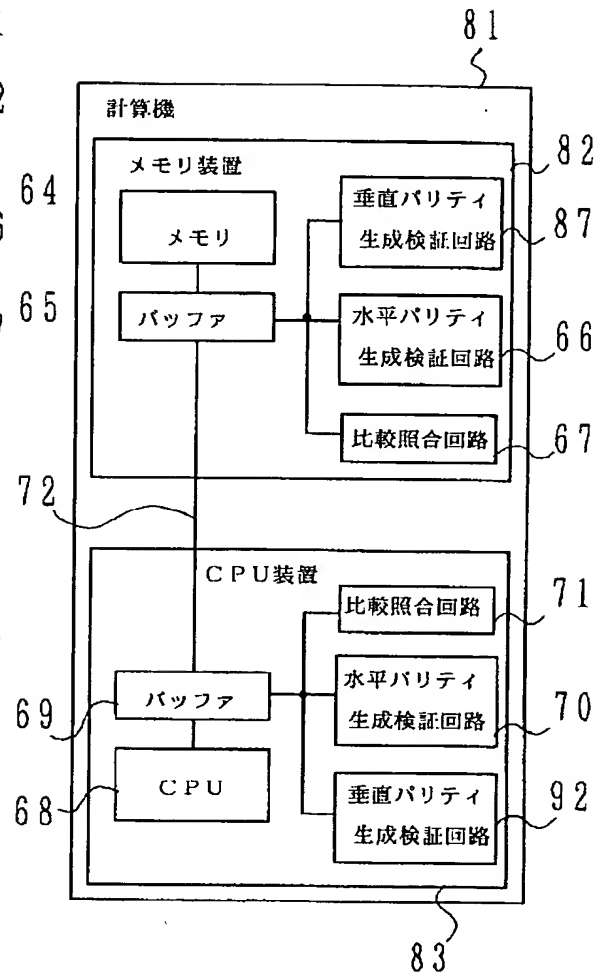
【図6】



【図3】

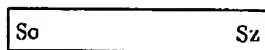


【図4】

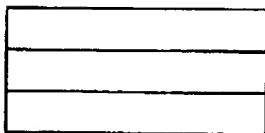


【図10】

垂直パリティ

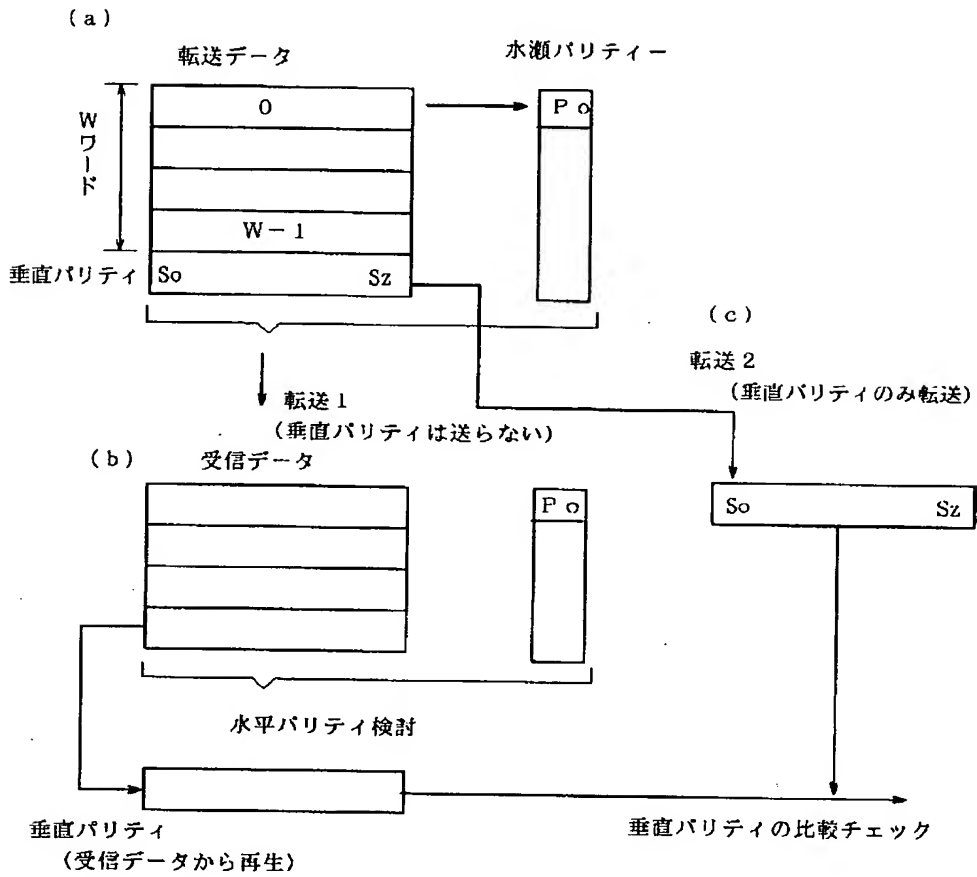


誤り検出符号

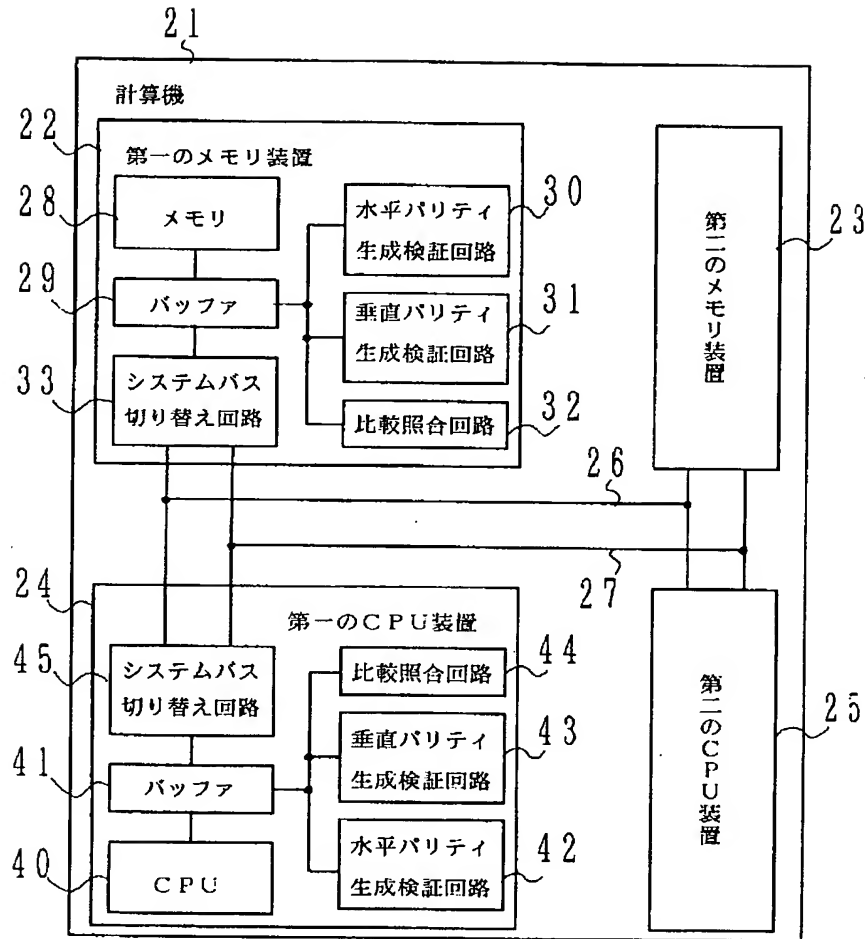


↑ ビット長はデータ長と検出誤り訂正能力により異なる (8 ~ 12 ビット程度)

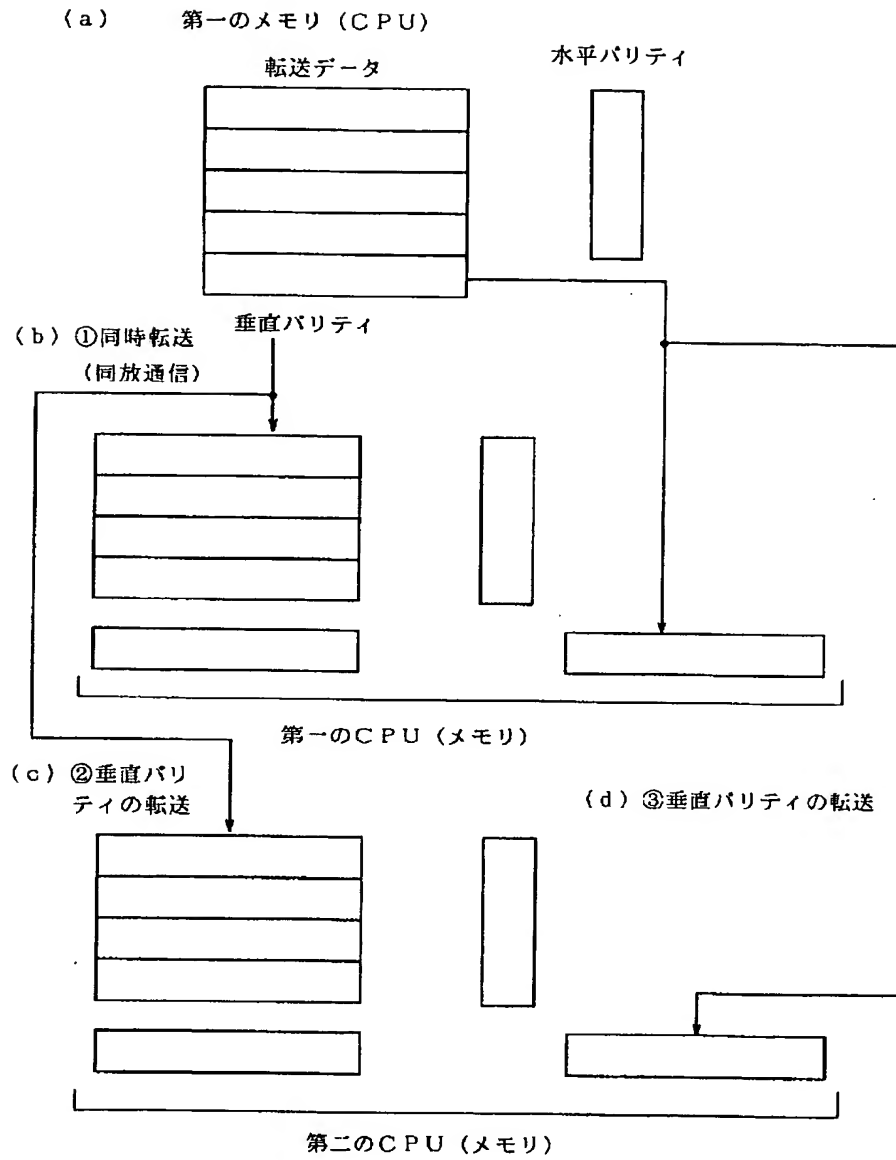
【図5】



【図7】



【図8】



【図9】

